

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-109268

(43)Date of publication of application : 30.04.1993

(51)Int.Cl.

G11C 11/406

(21)Application number : 03-264802

(71)Applicant : SHARP CORP

(22)Date of filing : 14.10.1991

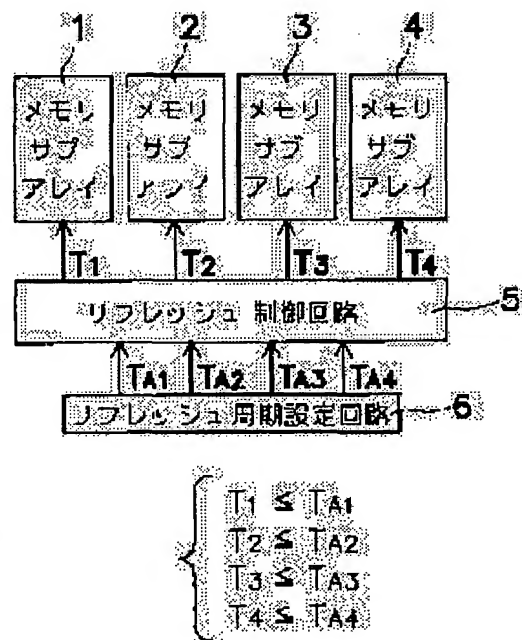
(72)Inventor : MITSUMOTO TOSHIO

(54) DYNAMIC TYPE SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To reduce power consumption by providing a individual refresh period setting means at every memory sub array.

CONSTITUTION: Respective memory sub arrays 1-4 are refreshed respectively by a refresh control circuit 5. The circuit 5 is a circuit generating the address for refreshing successively, selecting a word line and simultaneously refreshing by writing back again the stored data read from a memory cell connected to every word line. Further, the circuit 5 decides refresh periods T1-T4 so as to be satisfied with a relation I based on the refresh periods TA1-TA4 set by a refresh period setting circuit 6 and executes the refreshing operation of the arrays 1-4 with different periods based on these periods. Thus, the refresh period is set individually, since the array except the array having the longest refresh period unnecessitates an excess refresh operation, the power consumption is reduced.



LEGAL STATUS

[Date of request for examination] 14.07.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2742481

[Date of registration] 30.01.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-109268

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl.⁵

G 1 1 C 11/406

識別記号

庁内整理番号

F I

技術表示箇所

8320-5L

G 1 1 C 11/ 34

3 6 3 K

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号 特願平3-264802

(22)出願日 平成3年(1991)10月14日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 三本 敏雄

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

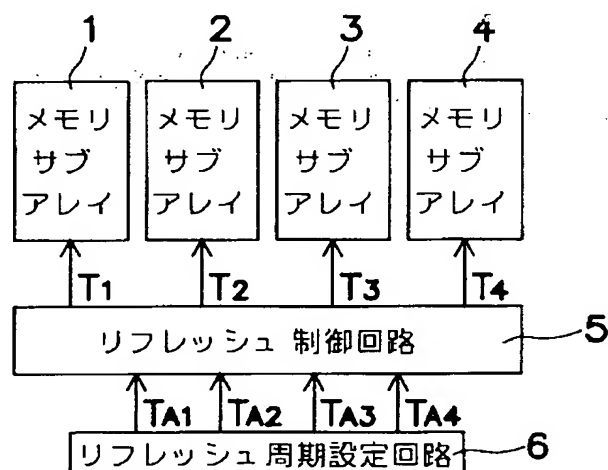
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】 ダイナミック型半導体記憶装置

(57)【要約】

【構成】分割された各メモリサブアレイ1～4のリフレッシュ操作を行うリフレッシュ制御回路5に、各メモリサブアレイ1～4ごとに別個のリフレッシュ周期 T_{A1} ～ T_{A4} を設定することができるリフレッシュ周期設定回路6を設ける。

【効果】分割された各メモリサブアレイ1～4のうちで最も短い最長リフレッシュ周期 T_{ref1} ～ T_{ref4} を有するメモリサブアレイ1～4以外のものについては、過剰なリフレッシュ操作を行う必要がなくなり、半導体記憶装置の消費電力削減に貢献することができる。



1

【特許請求の範囲】

【請求項1】メモリセルアレイが複数のメモリサブアレイに分割され、各メモリサブアレイについてリフレッシュ周期内にリフレッシュ操作を行うリフレッシュ手段を有するダイナミック型半導体記憶装置であって、該リフレッシュ手段は、各メモリサブアレイ毎に個別のリフレッシュ周期を設定するリフレッシュ周期設定手段を備えている、ダイナミック型半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、メモリセルの記憶データを保持するために定期的なリフレッシュ操作を必要とするダイナミック型半導体記憶装置（擬似スタティックRAMを含み、以下「DRAM」という）に関する。

【0002】

【従来の技術】DRAM（Dynamic Random Access Memory）の各メモリセル110は、図4に示すように（ここでは1トランジスタセルの場合を示す）、1個のキャパシタ110aと1個のトランジスタ110bによって構成されている。トランジスタ110bは、MOSFETからなるスイッチングトランジスタであり、ゲート端子に接続されたワード線Wがロウアドレスによって選択されるとソース・ドレイン端子間がONとなり、キャパシタ110aとビット線Bとを接続するようになっている。従って、キャパシタ110aは、このトランジスタ110bを介してビット線Bから電荷を送り込まれることにより記憶データの書き込みが行われ、また、このトランジスタ110bを介してビット線Bに電荷を送り出すことにより記憶データの読み出しが行われる。

【0003】ここで、トランジスタ110bがOFFの場合には、キャパシタ110aが記憶データを電荷として保持することができる。しかしながら、キャパシタ110aが保持する電荷は、実際にはリーク電流として徐々に流出し、時間と共に記憶データが失われる。従って、DRAMは、各メモリセル110のキャパシタ110aから記憶データが失われる前に、この記憶データを一旦読み出し増幅して再度書き戻すリフレッシュ操作を行う必要がある。

【0004】メモリセルアレイにおけるリフレッシュ操作を図5に基づいて説明する。

【0005】このメモリセルアレイには（ここでは折り返し型ビット線方式の場合を示す）、 $(m+1)$ 本のワード線Wと $(n+1)$ 組のビット線対B、Bバーとが直交して形成されている。そして、各メモリセル110は、これら各ワード線Wとビット線対B、Bバーとの交差部に1つおきに接続されている。

【0006】まず、デコード回路111がロウアドレスをデコードして1本のワード線 W_i （ $i=0\sim m$ ）を選択すると、このワード線 W_i に接続された1行のメモリ

2

セル110の記憶データが各ビット線対B、Bバーに読み出される。すると、これらのビット線対B、Bバーに接続された n 個のセンスアンプ112がこの記憶データをそれぞれ増幅し再び各ビット線対B、Bバーに送り返し、各メモリセル110に再書き込みを行わせる。

【0007】このようにして1行のメモリセル110がリフレッシュされると、通常は引き続いてデコード回路111が次のワード線 W_{i+1} を選択し、以降同様の動作を繰り返してメモリセルアレイの全てのメモリセル110をリフレッシュし、これによって一連のリフレッシュ操作が完了する。

【0008】また、上記全てのメモリセル110に対する一連のリフレッシュ操作は、各メモリセル110の記憶データが失われる前に実行する必要がある。従って、先のリフレッシュ操作から次のリフレッシュ操作までの繰り返し周期（以下「リフレッシュ周期」という。）は、各メモリセル110の最長リフレッシュ周期（リフレッシュ操作を行わない状態で各メモリセル110が記憶データを保持し得る最長の時間）以内の時間でなければならない。しかも、各メモリセル110の最長リフレッシュ周期は、半導体製造時のバラツキによりメモリセルごとに異なっているのが通常であるため、一括して複数のメモリセル110のリフレッシュ操作を行う場合には、これら複数のメモリセル110のうちの最も短い最長リフレッシュ周期をそのアレイ全体の最長リフレッシュ周期として、実際にリフレッシュ操作を行うためのリフレッシュ周期を定める必要がある。

【0009】

【発明が解決しようとする課題】ところで、近年の大容量DRAMは、アクセスの高速化のためにメモリセルアレイを複数のメモリサブアレイに分割するのが通常であり、例えば図6に示す従来のDRAMでは、4個のメモリサブアレイ101～104に分割している。そして、これらの各メモリサブアレイ101～104は、リフレッシュ制御回路105によってそれぞれリフレッシュ操作が行われるようになっている。

【0010】また、これらの各メモリサブアレイ101～104は、上記のようにそれぞれを構成するメモリセルの最長リフレッシュ周期のうちで最も短いものがそのメモリサブアレイ101～104全体の最長リフレッシュ周期となるため、各メモリサブアレイ101～104ごとに最長リフレッシュ周期が異なるようになる。しかしながら、従来のDRAMでは、これらのメモリサブアレイ101～104の最長リフレッシュ周期のうちでさらに最も短い最長リフレッシュ周期を基準としてリフレッシュ制御回路105によるリフレッシュ周期Tを一律に設定していた。

【0011】ところが、リフレッシュ操作は、ワード線やビット線の充放電を繰り返す処理であるため、できるだけリフレッシュ周期が長い方が消費電力は少なくな

3

る。

【0012】このため、従来のDRAMでは、長い最長リフレッシュ周期を有するメモリサブアレイ101～104に対しても、最も短い最長リフレッシュ周期を有するものに合わせて過剰なリフレッシュ操作が行われるので、電力を無駄に消費するという問題が発生していた。

【0013】本発明は、上記事情に鑑み、分割された各メモリサブアレイごとに個別にリフレッシュ周期を設定することにより、過剰なリフレッシュ操作により無駄な電力を消費することのないダイナミック型半導体記憶装置を提供することを目的としている。

【0014】

【課題を解決するための手段】本発明のダイナミック型半導体記憶装置は、メモリセルアレイが複数のメモリサブアレイに分割され、各メモリサブアレイについてリフレッシュ周期内にリフレッシュ操作を行うリフレッシュ手段を有するダイナミック型半導体記憶装置であって、該リフレッシュ手段は、各メモリサブアレイ毎に個別のリフレッシュ周期を設定するリフレッシュ周期設定手段を備えており、そのことにより上記目的が達成される。

【0015】

【作用】複数のメモリサブアレイは、通常それぞれの最長リフレッシュ周期が異なる。そして、上記構成によれば、リフレッシュ手段のリフレッシュ周期設定手段により、各メモリサブアレイのリフレッシュ周期をそれぞれの最長リフレッシュ周期以内に個別に設定することができる。すると、各メモリサブアレイは、それぞれの最長リフレッシュ周期に応じた異なるリフレッシュ周期でリフレッシュ操作が行われるようになる。

【0016】この結果、分割されたメモリサブアレイの中で最も短い最長リフレッシュ周期を有するものは従来の場合と同じリフレッシュ周期によるリフレッシュ操作が行われるが、これよりも長い最長リフレッシュ周期を有する他のメモリサブアレイについては、この最長リフレッシュ周期に応じたより長いリフレッシュ周期でリフレッシュ操作が行われるようになる。このため、より長い最長リフレッシュ周期を有するメモリサブアレイについては、必要以上のリフレッシュ操作を繰り返すことがなくなるので、過剰なリフレッシュ操作による無駄な電力消費を抑制することができる。

【0017】

【実施例】本発明を実施例について以下に説明する。

【0018】図1に本発明の一実施例を示す。本実施例のDRAMは、図1に示すように、メモリセルアレイを4個のメモリサブアレイ1～4に分割した場合について説明する。各メモリサブアレイ1～4は、リフレッシュ制御回路5によってそれぞれリフレッシュ操作が行われるようになっている。リフレッシュ制御回路5は、各メモリサブアレイ1～4ごとに、順次リフレッシュ用のアドレスを生成してワード線を選択すると共に、各ワード

4

線に接続するメモリセルから読み出した記憶データを再度書き戻させることによりリフレッシュ操作を行う回路である。また、リフレッシュ制御回路5は、リフレッシュ周期設定回路6で設定されたリフレッシュ周期 $T_{A1} \sim T_{A4}$ に基づいて下記数1の関係を満足するようにそれぞれリフレッシュ周期 $T_1 \sim T_4$ を定め、これに基づいて各メモリサブアレイ1～4のリフレッシュ操作を異なる周期で実行するようになっている。

【0019】

【数1】

$$\left\{ \begin{array}{l} T_1 \leq T_{A1} \\ T_2 \leq T_{A2} \\ T_3 \leq T_{A3} \\ T_4 \leq T_{A4} \end{array} \right.$$

【0020】リフレッシュ周期設定回路6では、図2に示すように、基準パルス ϕ をカウンタ回路61に入力される。カウンタ回路61は、 $(n+1)$ 段の分周回路であり、基準パルス ϕ を1段ごとに2倍の周期のパルス $\phi_0 \sim \phi_n$ に分周する。カウンタ回路61の最後の5段の出力($\phi_{n-4} \sim \phi_n$)は、それぞれ T_{A1} 発生回路62、 T_{A2} 発生回路63、 T_{A3} 発生回路64及び T_{A4} 発生回路65に送られる。

【0021】 T_{A1} 発生回路62は、カウンタ回路61の5段の出力をそれぞれフューズ62a～62eを介してNAND回路62fに入力するようになっている。また、各フューズ62a～62eとNAND回路62fの入力との間は、それぞれ抵抗Rを介して電源VCCにプルアップされている。各フューズ62a～62eは、最も後段の出力 ϕ_n を通すフューズ62aから順に必要に応じて適宜個数をレーザ光等により切断されるようになっている。そして、フューズ62a～62eが切断された場合には、NAND回路62fの対応する入力が電源VCCによってHレベルに固定される。このNAND回路62fの出力は、フリップフロップ62gに接続され、フリップフロップ62gの出力が T_{A1} 発生回路62からのリフレッシュ周期 T_{A1} を示す信号としてリフレッシュ制御回路5に送られる。 T_{A2} 発生回路63、 T_{A3} 発生回路64及び T_{A4} 発生回路65も、この T_{A1} 発生回路62と同様の構成であり、それぞれリフレッシュ周期 $T_{A2} \sim T_{A4}$ を示す信号をリフレッシュ制御回路5に送る。

【0022】リフレッシュ制御回路5による各メモリサブアレイ1～4のリフレッシュ操作を説明する。

【0023】カウンタ回路61は、基準パルス ϕ を順次分周することにより、最後の5段からそれぞれパルス $\phi_{n-4} \sim \phi_n$ を出力する。これらのパルス $\phi_{n-4} \sim \phi_n$ は、図3に示すように、パルス ϕ_{n-4} が最も周期が短く、より後段になるに従ってこの周期が順次倍となる。このため、 T_{A1} 発生回路62において、フューズ62a～62

5

e が全て切断されていないとすると、NAND回路 6 2 f は、パルス ϕ_{n-4} と同じパルス幅だけレベルとなるパルスをパルス ϕ_n の周期で出力することになる。また、1 個のフューズ 6 2 a のみが切断されている場合には、パルス ϕ_{n-4} と同じパルス幅だけレベルとなるパルスをパルス ϕ_{n-1} の周期で出力することになり、2 個のフューズ 6 2 a、6 2 b が切断されている場合には、このパルスをパルス ϕ_{n-2} の周期で出力することになる。従って、フリップフロップ 6 2 g は、切断されたフューズ 6 2 a ~ 6 2 e の個数に応じて順次周期が倍となるパルスによってセットされ、この出力をリフレッシュ周期 T_{A1} を示す信号としてリフレッシュ制御回路 5 に送ることになる。また、 T_{A2} 発生回路 6 3、 T_{A3} 発生回路 6 4 及び T_{A4} 発生回路 6 5 についても、それぞれ同様にフューズの切断個数に応じたリフレッシュ周期 $T_{A2} \sim T_{A4}$ を示す信号をリフレッシュ制御回路 5 に送ることになる。

【0024】ここで、各 T_{A1} 発生回路 6 2、 T_{A2} 発生回路 6 3、 T_{A3} 発生回路 6 4 及び T_{A4} 発生回路 6 5 におけるフューズの切断個数は、それぞれが対応する各メモリサブアレイ 1 ~ 4 の最長リフレッシュ周期 $T_{ref1} \sim T_{ref4}$ に応じて定められる。即ち、各リフレッシュ周期 $T_{A1} \sim T_{A4}$ が下記数 2 をそれぞれ満足する最大値となるようにフューズが切断される。

【0025】

【数 2】

$$\begin{cases} T_{A1} \leq T_{ref1} \\ T_{A2} \leq T_{ref2} \\ T_{A3} \leq T_{ref3} \\ T_{A4} \leq T_{ref4} \end{cases}$$

【0026】従って、リフレッシュ制御回路 5 は、各メモリサブアレイ 1 ~ 4 の最長リフレッシュ周期 $T_{ref1} \sim T_{ref4}$ に応じたリフレッシュ周期 $T_{A1} \sim T_{A4}$ を受け取り、これらに基づくリフレッシュ周期 $T_1 \sim T_4$ によりそれぞれのメモリサブアレイ 1 ~ 4 のリフレッシュ操作を*

6

*個別に行うことができる。

【0027】この結果、本実施例の DRAM では、例えばメモリサブアレイ 1 の最長リフレッシュ周期 T_{ref1} が最も短かったとすると、他のメモリサブアレイ 2 ~ 4 については、このメモリサブアレイ 1 が 2 回、4 回又は 8 回等の複数回のリフレッシュ操作を行う間に 1 回のリフレッシュ操作を行うだけとなる。従って、最長リフレッシュ周期 T_{ref} が長いメモリサブアレイ 1 ~ 4 については、必要以上のリフレッシュ操作を行うことがなくなり、無駄な電力の消費を抑制することができるようになる。

【0028】

【発明の効果】以上の説明から明らかなように、本発明のダイナミック型半導体記憶装置は、分割された各メモリサブアレイごとに個別にリフレッシュ周期を設定することができるので、最も短い最長リフレッシュ周期を有するメモリサブアレイ以外のものについては過剰なリフレッシュ操作を行う必要がなくなり、半導体記憶装置の消費電力削減に貢献することができるようになる。

【図面の簡単な説明】

【図 1】本発明の一実施例のリフレッシュ操作を行うための回路を示すブロック図である。

【図 2】図 1 の実施例におけるリフレッシュ周期設定回路のブロック図である。

【図 3】図 1 の実施例におけるリフレッシュ周期設定回路の動作を説明するためのタイムチャートである。

【図 4】DRAM のメモリセルの構成を示す回路図である。

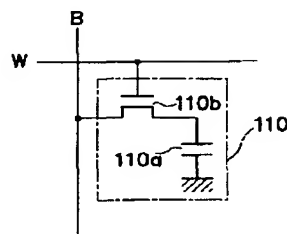
【図 5】DRAM の各メモリセルにアクセスを行うための回路構成を示すブロック図である。

【図 6】従来の DRAM におけるリフレッシュ操作を行うための回路を示すブロック図である。

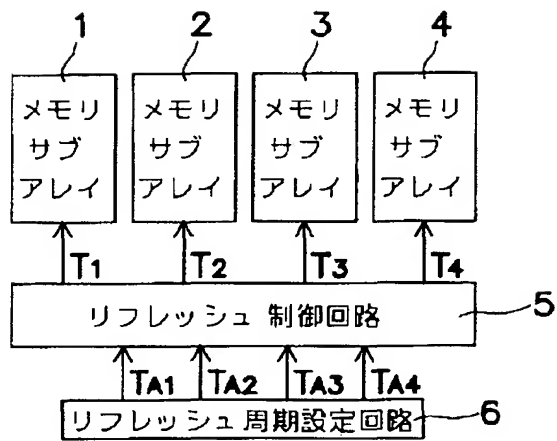
【符号の説明】

- 1 ~ 4 メモリサブアレイ
- 5 リフレッシュ制御回路
- 6 リフレッシュ周期設定回路

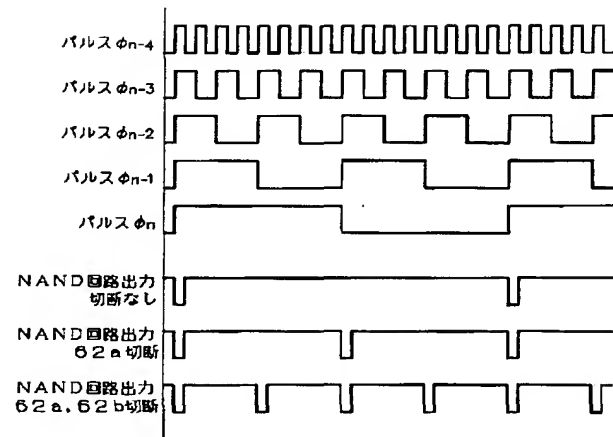
【図 4】



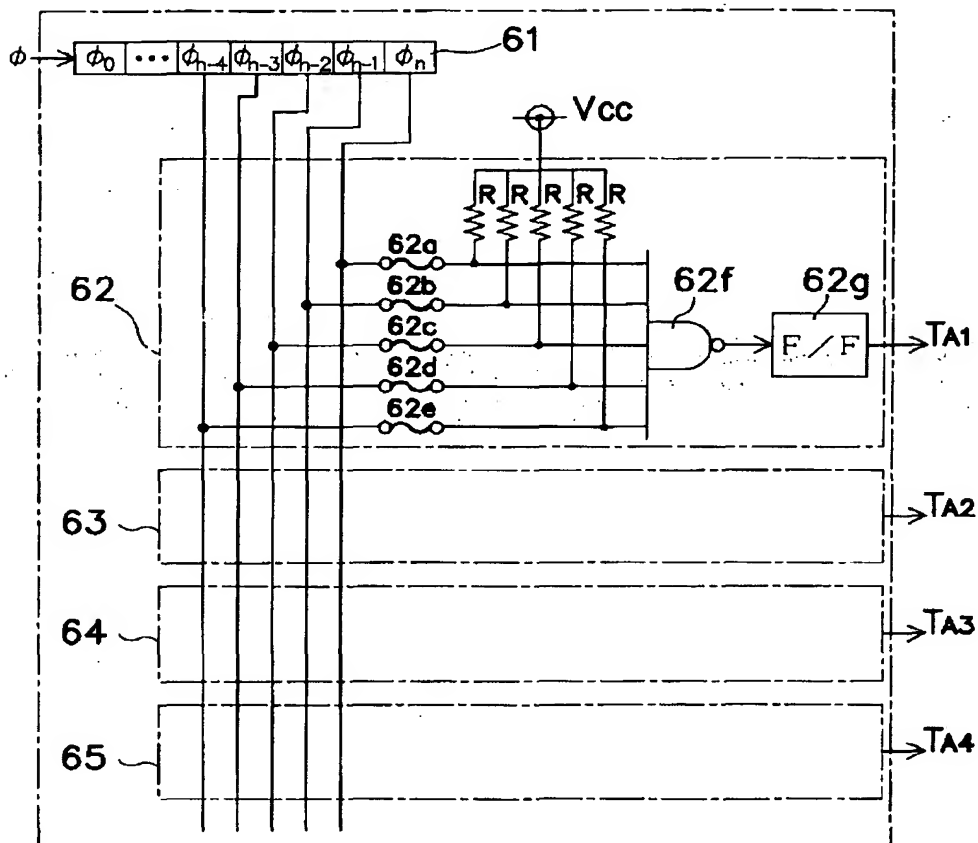
【図 1】



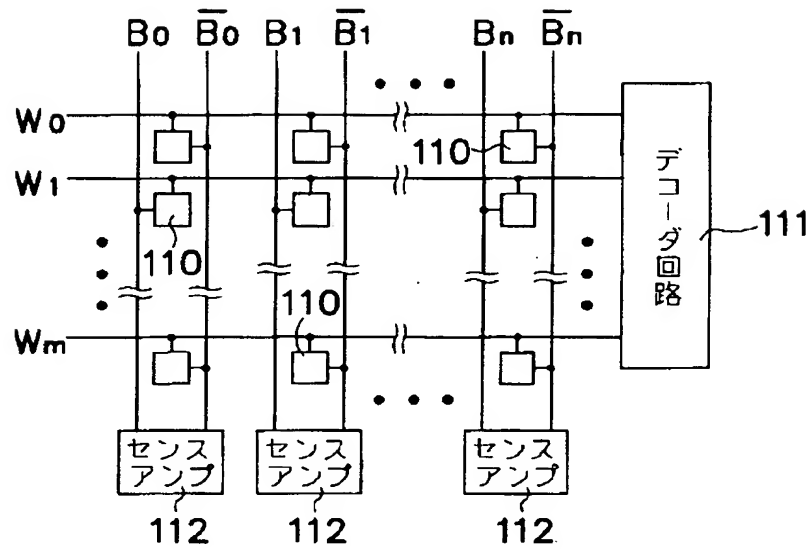
【図 3】



【図 2】



【図5】



【図6】

